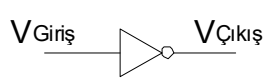


Deney 1: Lojik Kapıların Lojik Gerilim Seviyeleri

Deneyin Amacı: Lojik kapıların giriş ve çıkış lojik gerilim seviyelerinin ölçülmesi

Genel Bilgiler:

Bir giriş ve bir çıkışlı en basit lojik kapı olan DEĞİL (NOT) kapısı çıkışında girişinin tümleyenini verir. Şekil 1.1.a'da DEĞİL kapısının lojik sembolü ve 1.1.b'de ise, doğruluk tablosu görülmektedir.



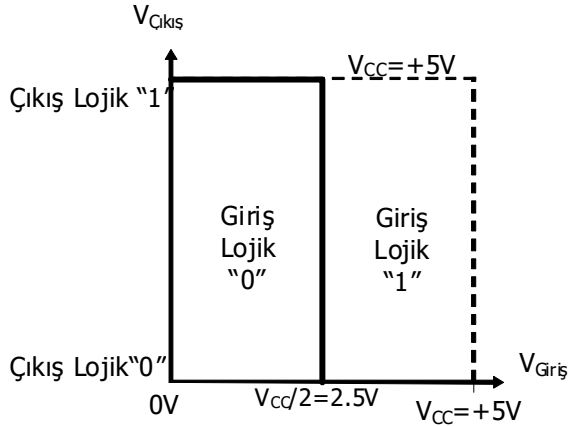
(a) lojik sembolü

$V_{Giriş}$	$V_{Cıkış}$
0	1
1	0

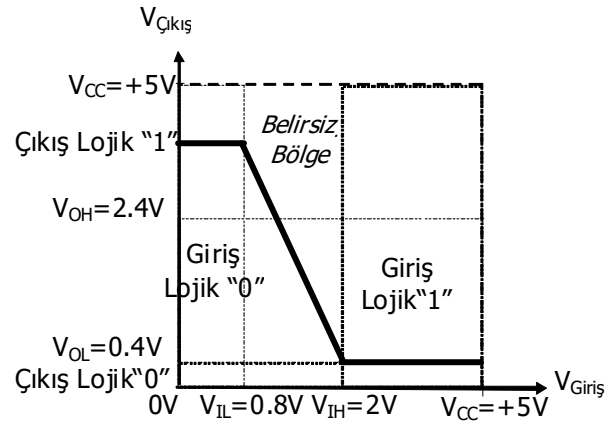
(b) doğruluk tablosu

Şekil 1.1 DEĞİL lojik kapısı

Şekil 1.2.a'da görüldüğü gibi teorik olarak DEĞİL kapısının girişine lojik 0(1)'a karşı düşen gerilim uygulandığında, çıkışında lojik 1(0)'e karşı düşen bir gerilim gözlenir. Fakat pratikte, girişte ve çıkışta görülecek gerilim seviyeleri kapı yapımında kullanılan teknolojiye bağlı olarak değişir. Örnek olarak TTL (Transistor Transistor Lojik) teknolojisi ile yapılmış bir DEĞİL kapısı için gerilim seviyeleri Şekil 1.2.b'de gösterilmiştir.



(a) İdeal lojik gerilim seviyeleri



(b) Pratikteki lojik gerilim seviyeleri

Şekil 1.2 DEĞİL kapısının lojik gerilim seviyeleri

Buna göre kritik gerilim seviyeleri ;

V_{IH} : Girişin lojik 1 olarak algılanabilmesi için uygulanması gereken en küçük gerilim seviyesi,

V_{IL} : Girişin lojik 0 olarak algılanabilmesi için uygulanması gereken en büyük gerilim seviyesi,

V_{OH} : Çıkışın lojik 1 olarak değerlendirilebilmesi için gözlenmesi gereken en küçük gerilim seviyesi,

V_{OL} : Çıkışın lojik 0 olarak değerlendirilebilmesi için gözlenmesi gereken en büyük gerilim seviyesidir.

$(V_{IH}-V_{IL})$, $(V_{OH}-V_{OL})$ gerilim aralıkları sırasıyla girişler ve çıkışlar için belirsiz olan aralıklardır.

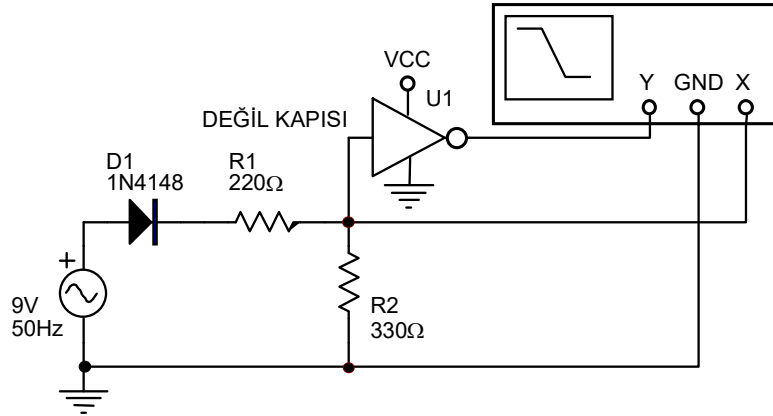
Şekil 1.2.a'da görüldüğü gibi ideal halde girişin lojik 0 ve lojik 1 değerine belli bir gerilim aralığı karşı gelmesine rağmen, çıkışın lojik 0 ve lojik 1 değerini sabit gerilim değerleri oluşturmaktadır.

CMOS teknolojiyle üretilmiş bir DEĞİL kapısında da giriş ile çıkış arasında, TTL teknolojiyle üretilmiş DEĞİL kapısına benzer bir ilişki vardır. Ancak en önemli farklılık CMOS teknolojiyle üretilmiş tümleşik devrenin besleme geriliminin 3-15V arasında değişebilmesidir. Bu deneyde CMOS tümleşik devreler için besleme gerilimi 5V alınacaktır.

Deney Öncesi Yapılacak İşlemler:

- 1- TTL DEĞİL (NOT kapısı, 74LS04) ve CMOS DEĞİL (NOT kapısı, CD4049) tümleşik devreleri için katalogta verilen parametrelerin tanımlarını ve bu parametrelere ilişkin tablolardaki sınır değerleri inceleyiniz.
- 2- Deneyin sonunda yer alan soruları yanıtlamaya çalışınız.

Deneyde Yapılacak İşlemler:



Şekil 1.3 Lojik gerilim seviyelerini ölçmek için kurulacak devre.

- 1- Yukarıda açıklanan parametreleri 74LS04 DEĞİL tümleşik devresi için gözlemek amacıyla Şekil 1.3'deki devreyi deney düzeneğiniz üzerinde kurunuz.
 - DEĞİL tümleşik devresinin 5V besleme ve toprak bağlantılarını yapınız.
 - 74LS04 lojik tümleşik devresine negatif gerilim uygulanmasını önlemek için osilatörden alınan ve tepe değeri 9V olan sinüs işareti bir diyottan geçirilir. Böylece işaretin yalnız pozitif yarım alternansı elde edilir.
 - R1 ve R2 dirençleri DEĞİL kapısının girişinde 0-5 V gerilim değişimini elde etmek için gerilim bölücü olarak kullanılırlar.
 - Netice olarak Şekil 1.3'de kesikli çizgilerle belirtilen devre, Şekil 1.2.b'de verilen grafiğin yatay eksenindeki, 0 ile +5V DC değerleri arasında değişen gerilim değerlerinin, DEĞİL kapısının girişine uygulanmasını sağlar.
 - DEĞİL elemanının giriş gerilimi aynı zamanda osiloskop ekranında görülmesi için osiloskobun X girişine uygulanır. (Osiloskop bağlantılarını BNC ile yapınız)
 - DEĞİL elemanının girişine uygulanan gerilim ile değişen çıkış işareti ise, osiloskobun Y girişine uygulanır. (Osiloskop bağlantılarını BNC ile yapınız)
 - Böylece osiloskop X-Y modunda çalıştırıldığında ekranda DEĞİL kapısının girişi ile çıkışı arasında Şekil 1.2.b'ye benzer bir karakteristik gözlenir.

- 2- Osiloskop ekranındaki eğri üzerinden lojik gerilim seviyelerini ayrı ayrı belirleyiniz. (V_{IL} , V_{IH} , V_{OL} , V_{OH})
 - Osiloskobun gerilim seviyesine ilişkin "variable" düğmesi kapalı tutulmalıdır. Aksi takdirde yanlış gerilimler gözlenir.
- 3- Şekil 1.3'deki devreyi CD4049 CMOS DEĞİL tümleşik devresi için kurup 2. adımı tekrarlayınız. (Besleme gerilimi 5V alınacaktır.)
- 4- TTL VE (AND) lojik kapısının girişlerine, kritik gerilim seviyelerine uygun değerler (Lojik 0 girişi için $V \leq V_{IL}$, lojik 1 girişi için $V \geq V_{IH}$) uygulayarak çıkışlarını gözleyiniz ve gerilim değerleri ile lojik kapının doğruluk tablosunu elde ediniz.
- 5- VEYA (OR) lojik kapısının girişlerine, kritik gerilim seviyelerine uygun değerler (Lojik 0 girişi için $V \leq V_{IL}$, lojik 1 girişi için $V \geq V_{IH}$) uygulayarak çıkışlarını gözleyiniz ve gerilim değerleri ile lojik kapının doğruluk tablosunu elde ediniz.
- 6- ÖZEL VEYA (XOR) lojik kapısının girişlerine, kritik gerilim seviyelerine uygun değerler (Lojik 0 girişi için $V \leq V_{IL}$, lojik 1 girişi için $V \geq V_{IH}$) uygulayarak çıkışlarını gözleyiniz ve gerilim değerleri ile lojik kapının doğruluk tablosunu elde ediniz.

Sorular:

- 1- Deneyde kullanılan TTL ve CMOS teknolojisi ile üretilen lojik tümleşik devrelerde besleme gerilimi sınırları nelerdir? (Katalog bilgisine başvurunuz.)
- 2- TTL teknolojisiyle üretilmiş DEĞİL kapısının gecikme süresi değerini katalogdan bulunuz. Bu kapının bulunduğu bir devrenin hızının en fazla ne olabileceğini belirtiniz. Bu hız, pratikte **çalışma frekansı** olarak adlandırılır. (İpucu: Gecikme süresi kadar olan zaman aralığında girişin değişmemesi gerekir ki kapı o giriş değerine ilişkin çıkışı verebilsin. Aksi takdirde uygulanan girişe ilişkin oluşması gereken çıkış daha çıkışa ulaşmadan değişen yeni girişe göre çıkış oluşmaya başlar ve esas girişin çıkış kaybolabilir.)
- 3- CMOS DEĞİL tümleşik devresi (CD4049) için kapı gecikmesi değerlerini farklı besleme değerleri için saptayınız. Buna göre böyle bir elemanın bulunduğu devrenin çalışma frekansı besleme gerilimine bağlı olarak en fazla ne olabilir?
- 4- 2. ve 3.soruların yanıtları ışığında TTL ve CMOS teknolojilerini çalışma frekansı açısından karşılaştırınız.
- 5- Aynı devrede farklı teknolojiyle üretilmiş lojik kapıların kullanılması çalışma frekansını nasıl etkiler? Açıklayınız.
- 6- 74LS04 tümleşik devresi için elde ettiğiniz değerleri ekte verilen katalog bilgilerinden yararlanıp, TTL teknolojisiyle üretilmiş farklı ürünlerle karşılaştırınız. (74LS04, 74S04 (S:Schottky, LS:Low Power Schottky),... gibi)
- 7- CD4049 CMOS tümleşik devresi için benzer işlemi tekrarlayınız.
- 8- TTL iki girişli VE, VEYA ve Özel-VEYA kapılarının gecikme sürelerini karşılaştırınız.
- 9- CMOS iki girişli VE, VEYA ve Özel-VEYA kapılarının gecikme sürelerini karşılaştırınız.
- 10-Dijital lojik tümleşik devrelerde "Yelpaze" (Fan-out) kavramını açıklayınız. Devre tasarımında dikkate alınmaması durumunda karşılaşılabilecek sorunları yazınız.

11-Çıkış yelpazesi 4 olan bir kapının çıkışı 50 kapiya bağlanmak istenmektedir. Bunu gerçekleştirebilmek için çıkış yelpazesi 10 olan tampon (buffer) kapıları ne şekilde bağlanmalıdır?

Malzeme Listesi:

- 1 adet 1N4148 diyot
- 1 adet 74LS04 TTL DEĞİL tümleşik devresi
- 1 adet 74LS08 TTL VE tümleşik devresi
- 1 adet 74LS32 TTL VEYA tümleşik devresi
- 1 adet 74LS86 TTL ÖZELVEYA tümleşik devresi
- 1 adet CD4049 CMOS DEĞİL tümleşik devresi
- 1 adet 330 Ω direnç
- 1 adet 560 Ω direnç