

Deney 2. Lojik Devre Analizi

Genel Bilgiler:

Bu deneyde, SSI (**S**mall **S**cale **I**ntegration: Küçük Ölçekte Tümlleştirme, 1-9 kapı) devreler kullanılarak, lojik kapıların, Boole fonksiyonlarının, Boole Cebri aksiyom ve teoremlerinin fiziksel gerçeklemeleri incelenecektir. Ayrıca Boole fonksiyonlarının ve kombinezonsal lojik devrelerin normal ve indirgermiş yalın halinin analizi yapılacaktır. Lojik devrenin analizi yapmak için açık devre şeması yoksa devrenin girişlerine bütün giriş olasılıkları uygulanarak doğruluk tablosu elde edilir. Bundan sonra doğruluk tablosundan Boole fonksiyonu elde edilerek analize cebirsel işlemler ile devam edilir. Lojik devrelerin analiz, indirgeme yöntemleri genel olarak iki ana grupta toplanabilir. Birincisinde, Boole fonksiyonu verildiğinde görüşe dayalı olarak, lojik devre verildiğinde ise önce lojik devrenin doğruluk tablosu elde edilerek Boole fonksiyonu bulunarak gerçekleştirilir.

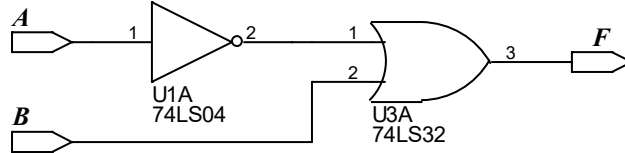
Eğer lojik devrenin açık devre şeması varsa Boole fonksiyonu elde edilerek cebirsel işlemler ile analizi yapılır. Diğerinde ise 4-5 değişkenli fonksiyonlarda Karnaugh diyagramıyla daha fazla değişken sayısında ise Quine-McCluskey gibi bir tablo yöntemiyle analiz yapılır. Son olarak Boole fonksiyonları temel lojik kapılar veya tek tip eşdeğer NAND ve NOR lojik kapılarıyla gerçekleştirilir.

Deney Öncesi Yapılacak İşlemler:

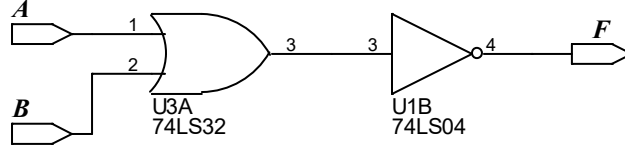
- 1- Genel Bilgiler kısmını ve ders notlarından ilgili kısımları çalışınız.
- 2- Kullanılan tümlşik devrelerin katalog bilgilerini inceleyiniz.
- 3- Deneyde yapılacak işlemler kısmın yer alan cebirsel işlemleri yapmaya çalışınız.
- 4- Deneyin sonunda yer alan soruları yanıtlamaya çalışınız.

Deneyde Yapılacak İşlemler:

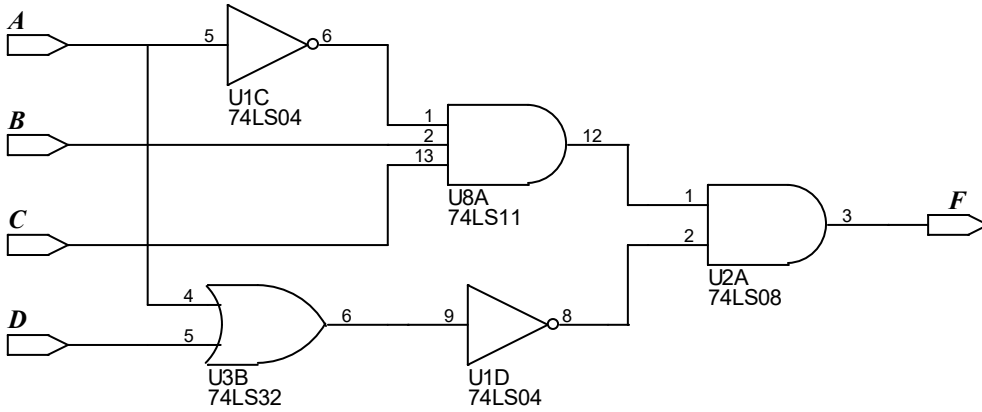
- Tümlşik devrelerin besleme ve toprak bağlantılarını yapınız.
 - (A, B, C, D, E vs.) girişlerine, istediğiniz değerleri verebilmek için, birer lojik anahtara bağlayınız.
 - Lojik anahtarın yanındaki +V ve 5V seçeneğini sağlayan anahtarı 5V konumuna getiriniz. Bizim deneylerimizde TTL tümlşik devreleri kullanıldığından bu seçim yapılmıştır. CMOS tümlşik devreler kullanılsaydı +V seçeneği seçilirdi.
 - F çıkışını gözleyebilmek için LED'lere (**L**ight **E**mitting **D**iode) bağlayınız. Bu ışık veren diyotlardan kırmızısı yandığında çıkışın lojik 1 olduğunu, yeşili yandığında ise çıkışın lojik 0 olduğunu gösterir.
 - LED'lerin bulunduğu yerde siyah renkli iki anahtar vardır. (TTL-CMOS) seçenekli anahtarı TTL konumuna, (+V-5V) seçenekli anahtarı ise 5V konumuna getiriniz.
1. DEĞİL kapısının girişteki ve çıkıştaki etkisini, VE işlemi VEYA işlemine göre önceliğini, DEĞİL işlemi ve parantez içindeki işlem önceliğini gösteren, sırasıyla Şekil 2.1, Şekil 2.2, Şekil 2.3 ve Şekil 2.4'deki devreleri deney düzeneğiniz üzerine kurunuz. Lojik devreleri çalıştırarak doğruluk tablosunu elde ediniz ve cebirsel olarak elde ettiğiniz doğruluk tablosu ile karşılaştırınız. F çıkışının Boole fonksiyonunu elde ediniz.



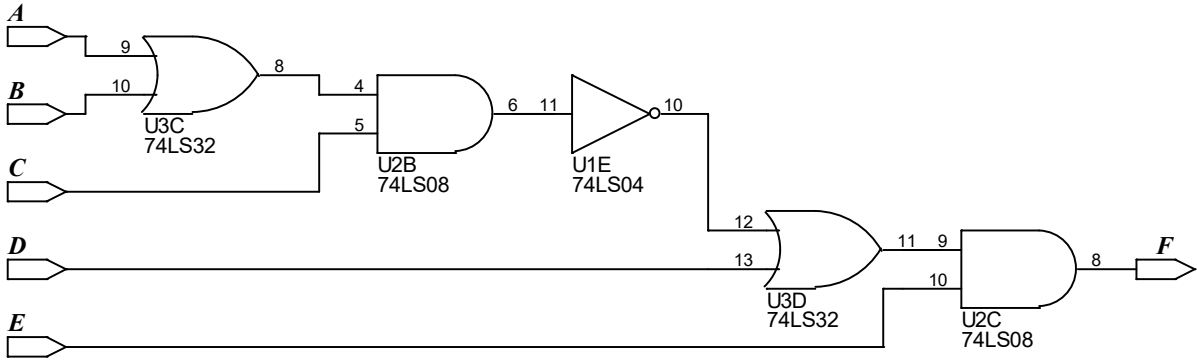
Şekil 2-1. DEĞİL kapısının girişteki etkisi



Şekil 2-2. DEĞİL kapısının çıkıştaki etkisi



Şekil 2-3. VE işlemi VEYA işlemine göre önceliği



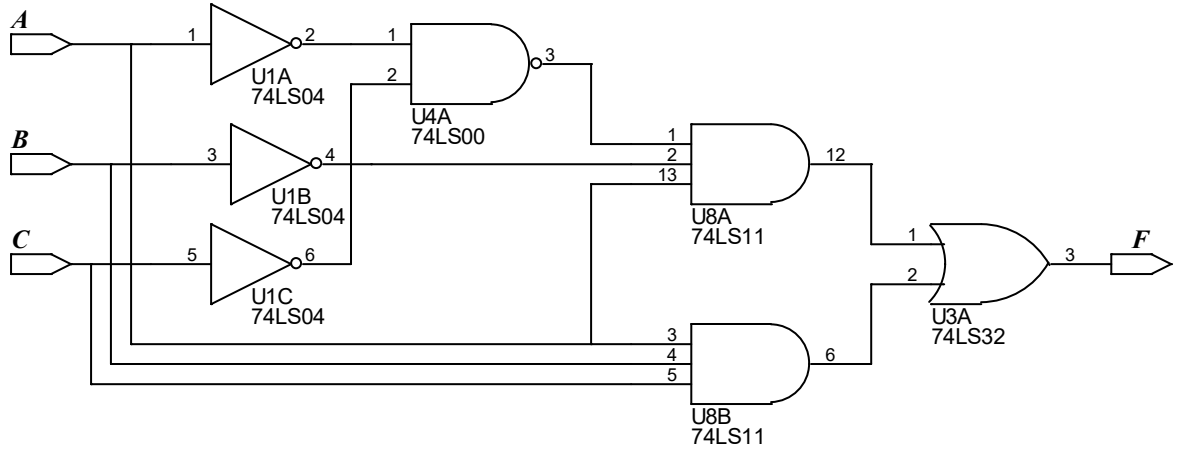
Şekil 2-4. DEĞİL işlemi ve parantez içindeki işlem önceliği

2. Aşağıda verilen Boole fonksiyonlarının devrelerini gerçekleyiniz ve lojik devreleri çalıştırarak doğruluk tablolarını elde ediniz. Bu doğruluk tablosunu fonksiyondan cebirsel olarak elde ettiğiniz doğruluk tablosu ile karşılaştırarak yapılan işlemlerin doğru olduğunu belirleyiniz.

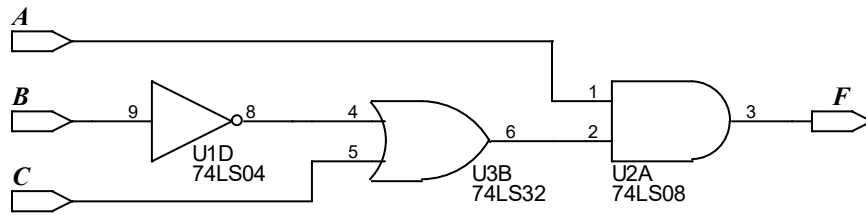
$$a) F(A, B, C) = B \cdot C \cdot \bar{A} + A \cdot C + B \cdot \bar{C} \quad (F2.1)$$

$$b) F(A, B, C) = (A + B) \cdot (\bar{B} + C) \quad (F2.2)$$

3. Şekil 1-1.5 ve Şekil 1-1.6'daki devreleri deney düzeneğiniz üzerine kurunuz. Lojik devreleri çalıştırarak doğruluk tablosunu elde ediniz ve cebirsel olarak elde ettiğiniz doğruluk tablosu ile karşılaştırınız. F çıkışının Boole fonksiyonunu elde ediniz.

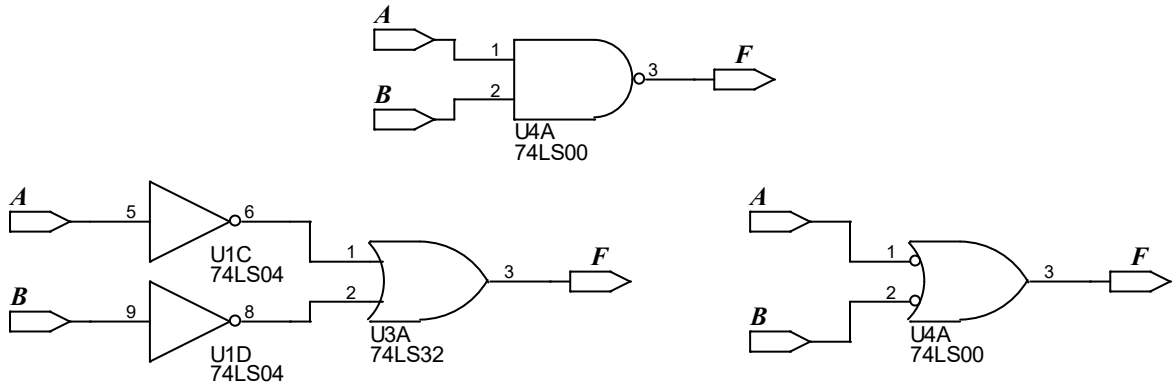


Şekil 2-5. Doğruluk tablosundan elde edilmiş bir lojik devre

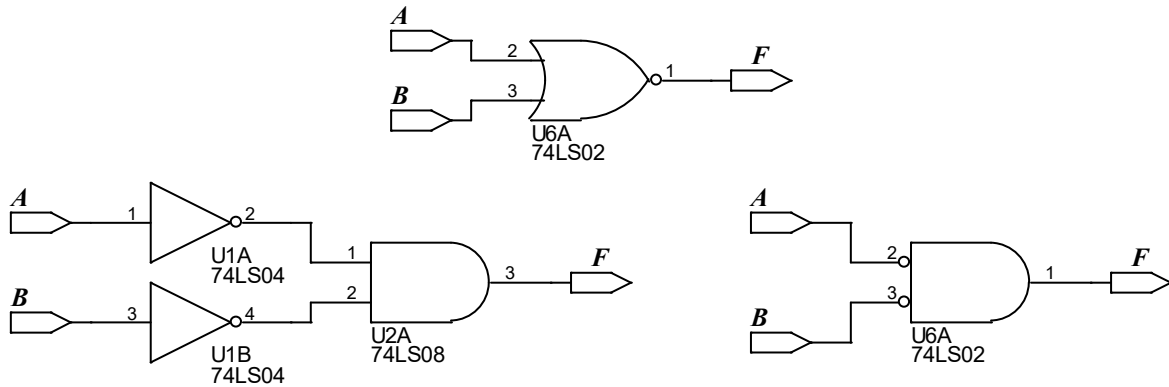


Şekil 2-6. Şekil 1-1-5'deki lojik devrenin indirgenmiş şekli

4. Temel Lojik kapıların, VE-VEYA, VEYA-VE eşdeğer kapılarına dönüştürülmesini göstermek üzere Şekil 1-1.7 ve Şekil 1-1.8'de verilen lojik devreleri inceleyerek DeMorgan teoremini sağladığını gösteriniz.

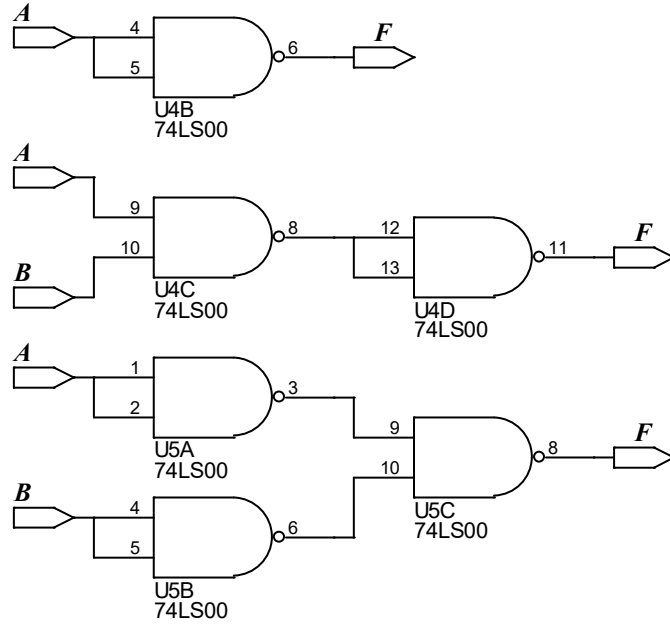


Şekil 2-7. VEDEĞİL kapısının DeMorgan eşdeğeri



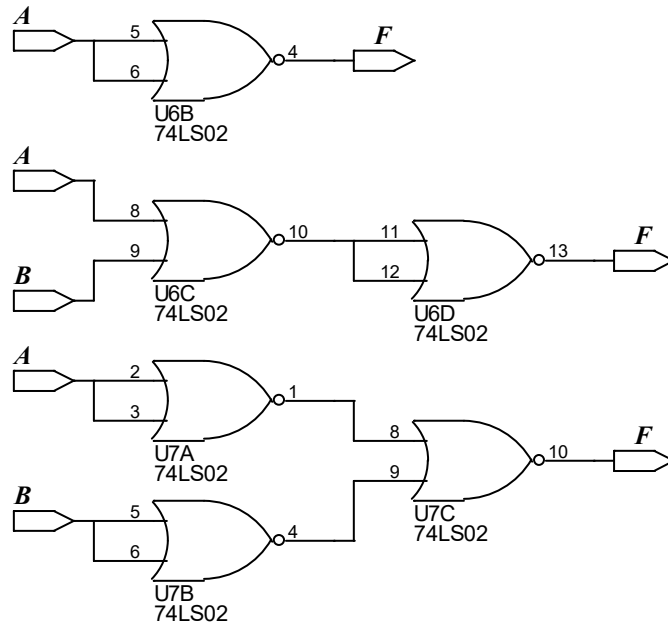
Şekil 2-8. VEYADEĞİL kapısının DeMorgan eşdeğeri

5. Temel lojik kapıların yalnız VEDEĞİL kapılarıyla gerçekleştirmesini Şekil 1-1.9'da verilen lojik devreleri inceleyerek gösteriniz.



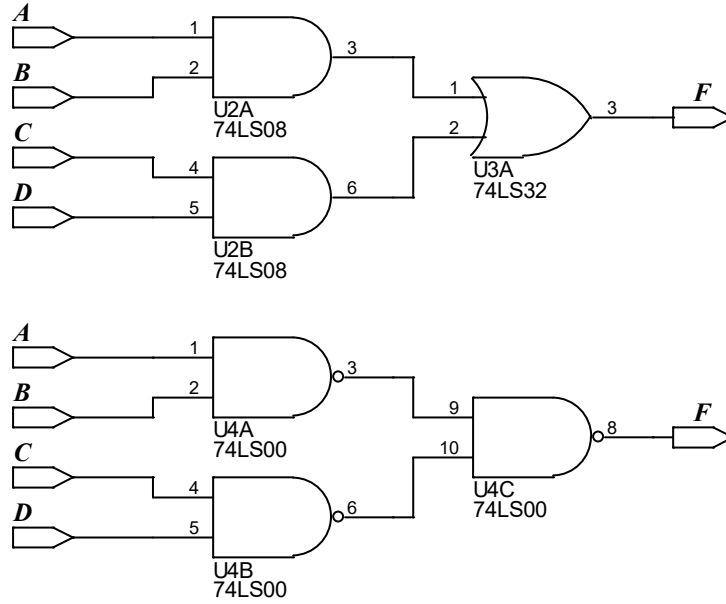
Şekil 2-9. Temel kapıların yalnız VEDEĞİL kapısı ile gerçekleştirilmesi

6. Temel lojik kapıların yalnız VEYADEĞİL kapılarıyla gerçekleştirmesini Şekil 1-1.10'da verilen lojik devreleri inceleyerek gösteriniz.



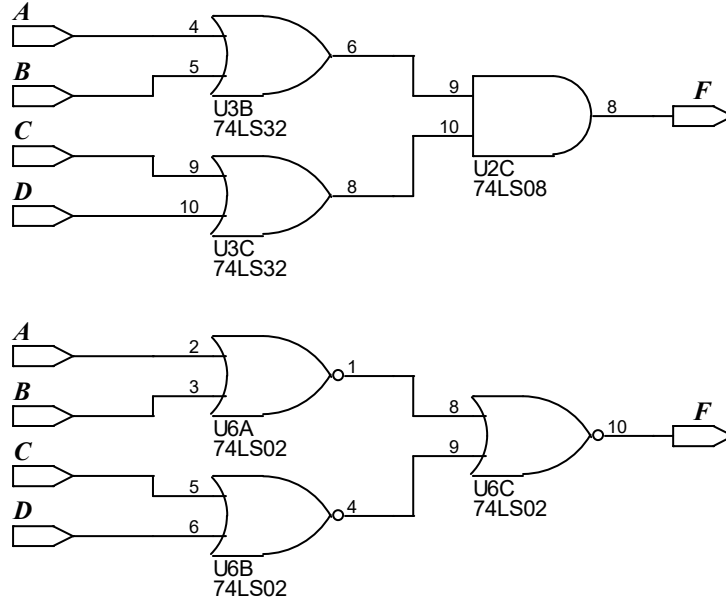
Şekil 2-10. Temel kapıların yalnız VEYADEĞİL kapısı ile gerçekleştirilmesi

7. Çarpımların Toplamı devresinin tek tip kapılarla, yalnız VEDEĞİL kapılarıyla gerçekleştirmesini Şekil 1-1.11'de verilen lojik devreleri inceleyerek gösteriniz.



Şekil 2-11. Çarpımların Toplamı devresi ve VEDEĞİL kapısı ile gerçekleştirilmesi

8. Toplamların Çarpımı devresinin tek tip kapılarla, yalnız VEYADEĞİL kapılarıyla gerçekleştirmesini Şekil 1-1.12'de verilen lojik devreleri inceleyerek gösteriniz.



Şekil 2-12. Toplamların Çarpımı devresi ve VEYADEĞİL kapısı ile gerçekleştirilmesi

Sorular:

- Şekil 1-1.1, Şekil 1-1.2, Şekil 1-1.3 ve Şekil 1-1.4'de verilen devrelerin F çıkışının Boole fonksiyonu elde edilirken kullanılan yöntemleri belirtiniz.
- Deneyde yapılacak işlemlerin 2. kısmında (F2.1) ve (F2.2) de verilen Boole fonksiyonlarından, gerçekleştirdiğiniz lojik devreye nasıl geçildiğini kullandığınız Boole Cebri aksiyom ve teoremlerini belirterek gösteriniz.

- 3- Deneyde yapılacak işlemlerin 3. kısmında Şekil 1-1.5'de verilen devrenin F çıkışının Boole fonksiyonu elde edilirken kullanılan yöntemleri belirtiniz.
- 4- Deneyde yapılacak işlemlerin 4. kısmında Şekil 1-1.7 ve Şekil 1-1.8'de gerçekleştirilen lojik devrelere nasıl geçildiğini kullanılan Boole Cebri aksiyom ve teoremlerini belirterek gösteriniz.
- 5- Deneyde yapılacak işlemlerin 5. kısmında Şekil 1-1.9'da gerçekleştirilen lojik devrelere nasıl geçildiğini kullanılan Boole Cebri aksiyom ve teoremlerini belirterek gösteriniz.
- 6- Deneyde yapılacak işlemlerin 6. kısmında Şekil 1-1.10'da gerçekleştirilen lojik devrelere nasıl geçildiğini kullanılan Boole Cebri aksiyom ve teoremlerini belirterek gösteriniz.
- 7- Deneyde yapılacak işlemlerin 7. kısmında Şekil 1-1.11'de verilen çarpımların toplamı devresinden yalnız VEDEĞİL kapılarıyla gerçekleştirilen lojik devreye nasıl geçildiğini kullanılan Boole Cebri aksiyom ve teoremlerini belirterek gösteriniz.
- 8- Deneyde yapılacak işlemlerin 8. kısmında Şekil 1-1.12'de verilen toplamların çarpımı devresinden yalnız VEYADEĞİL kapılarıyla gerçekleştirilen lojik devreye nasıl geçildiğini kullanılan Boole Cebri aksiyom ve teoremlerini belirterek gösteriniz.
- 9- Şekil 1-1.3 ve Şekil 1-1.4'de verilen lojik devrelerin analizini yaparak F çıkışının Boole fonksiyonunu elde ediniz. Karnaugh diyagramı ile indirgeyerek temel lojik kapılar kullanarak gerçekleyiniz. Deneydeki devre ile bulduğunuz bu devreyi eleman sayısı, tüm devre sayısı, giriş yelpazeleri ve gecikmeler açısından karşılaştırınız.
- 10-Şekil 1-1.3 ve Şekil 1-1.4'de verilen lojik devrelerin analizini yaparak F çıkışının Boole fonksiyonunu elde ediniz. Quine-McCluskey tablo yöntemiyle indirgeyerek temel lojik kapılar kullanarak gerçekleyiniz. Deneydeki devre ile bulduğunuz bu devreyi eleman sayısı, tüm devre sayısı, giriş yelpazeleri ve gecikmeler açısından karşılaştırınız.
- 11-Yukarıda 9. ve 10. soruların yanıtlarında bulduğunuz indirgenmiş sonuç Boole fonksiyonlarını yalnız VEDEĞİL ve VEYADEĞİL kapıları kullanarak gerçekleyiniz. Deneydeki devre ile bulduğunuz bu devreyi eleman sayısı, tüm devre sayısı, giriş yelpazeleri ve gecikmeler açısından karşılaştırınız.
- 12-Şekil 1-1.11'de verilen çarpımların toplamı devresi ve yalnız VEDEĞİL kapılarıyla gerçekleştirilen lojik devrenin en yalın devre olduğunu gösteriniz.
- 13-Şekil 1-1.12'de verilen toplamların çarpımı devresi ve yalnız VEYADEĞİL kapılarıyla gerçekleştirilen lojik devrenin en yalın devre olduğunu gösteriniz.
- 14-Yukarıda 12. ve 13. soruların yanıtlarında bulduğunuz indirgenmiş devreleri eleman sayısı, tüm devre sayısı, giriş yelpazeleri ve gecikmeler açısından karşılaştırınız.

Malzeme Listesi:

- 2 adet 74LS00 VEDEĞİL tümleşik devresi
- 2 adet 74LS02 VEYADEĞİL tümleşik devresi
- 1 adet 74LS04 DEĞİL tümleşik devresi
- 1 adet 74LS08 VE tümleşik devresi
- 1 adet 74LS11 VE tümleşik devresi
- 1 adet 74LS32 VEYA tümleşik devresi