



YILDIZ TEKNİK ÜNİVERSİTESİ
ELEKTRİK - ELEKTRONİK FAKÜLTESİ
BİLGİSAYAR BİLİMLERİ VE MÜHENDİSLİĞİ BÖLÜMÜ

Dijital Elektronik Laboratuvar Deneyleri

Donanım Anabilim Dalı

Hazırlayanlar

Yrd. Doç.Dr. Tuncay UZUN
Ar.Gör. Y.Müh. Songül ALBAYRAK
Ar.Gör. Seçil ÖZEN

İSTANBUL , 1999

DİJİTAL ELEKTRONİK LAB. DENEYLERİYLE İLGİLİ GENEL BİLGİLER ve UYARILAR

- 1- DeneYlerde kullanılacak malzemeler daha önceden öğrenciye duyurulur.
- 2- Hangi öğrencinin hangi grupta, nerede, hangi deneYi ne zaman yapacağı öğrenciye önceden duyurulur.
- 3- Eğer varsa “DeneYden Önce Yapılacaklar “ bölümünde istenenler deneYden önce mutlaka yapılmalıdır.
- 4- DeneY föyünün tamamı deneYden önce mutlaka anlayarak okunmalı, gerekirse ders notlarından da yararlanılmalıdır.
- 5- DeneY föyündeki sorular deneYden önce mutlaka cevaplandırılmaya çalışılmalıdır.
- 6- DeneY sırasında gruplar arasında bilgi veya malzeme alış verişi yasaktır.
- 7- DeneY sırasında grup elemanlarının kendi aralarında “ALÇAK SESLE” konuşmaları verimli laboratuvar çalışması yapılabilmesi açısından zorunludur.
- 8- DeneYde yapılacaklardan herhangi biri bittiğinde görevliye gösterilip onay alınmalıdır.
- 9- DeneYlerle ilgili sorular deneY sırasında tartışılacak ve bir değerlendirme notu verilecektir.
- 10- DeneY sırasında verilecek değerlendirme notlarının ortalaması yiliçi notu olacaktır.
- 11- Yönetmelik gereğince öğrenci deneYlere %80 oranında devam etmek mecburiyetindedir. Devam her deneYde yoklama yapılarak saptanacaktır.
- 12- Öğrencinin gelmediği deneYden alacağı not sıfırdır.
- 13- Öğrencinin yalnızca bir deneYi telafi etme hakkı vardır.

DİJİTAL ELEKTRONİK DENEYLERİ İÇİN GEREKLİ MALZEMELER

DENEY 1		DENEY 2		DENEY 3		DENEY 4		DENEY 5	
Adı	Adedi	Adı	Adedi	Adı	Adedi	Adı	Adedi	Adı	Adedi
1N4148	1	1N4148	4	1N4148	1	27C128	1	CD4001	1
74LS04	1	BC140-6	3	BC140-6	5	74LS174	1	74LS123	1
220Ω	1	1.8kΩ	4	3.9kΩ	1	330Ω	4	74LS14	1
330Ω	1	270Ω	2	100Ω	2	LED	4	74C14	1
CD4049	1	1kΩ	3	1kΩ	1			1/10/100nF	3
		10kΩ	2	120Ω	1			1/10/100μF	3
		1.5kΩ	1	10Ω	1			330/470/680Ω	3
		100Ω	2	1.5kΩ	1			1k/10k/22k	3
								47k/100k/220k	3
								330k/1M	2

DENEYLERDE DİKKAT EDİLMESİ GEREKEN KONULAR

Deneye ilişkin devrelerin hatasız çalışmasına katkıda bulunmak için dikkat edilmesi gereken konular aşağıda sıralanmıştır. Bu konulara dikkat edilmesinin bedeli hatayı saptayıp düzeltmek için harcanan süredir.

- Deney tablalarının alt ve üstlerindeki yatay bağlantıları besleme ve toprak için kullanırsanız, devreyi kontrol etmeniz kolaylaşır.
- Bağlantı tellerinin uçlarındaki plastiği çok fazla sıyırmamalısınız. Aksi takdirde yan yana gelen tellerin uçları kısa devre olabilir.
- Bağlantı tellerini yuvalarına sokarken sıkı geçmeyi sağlamanız yeter. Fazla bastırılması telin ucunun katlanmasına, sonraki kullanımlarda ise kırılmasına neden olur.
- Bağlantı tellerini keskin bükmeyiniz, içten kırılıp devrenin normal çalışmasına engel olabilir.
- Bağlantı tellerinin uçlarının bükük değil, dosdoğru olmasına dikkat ediniz. Yuvalara sokma çıkarma işlemi kolaylaşır ve deney setinin ömrü uzar.
- Bütün yukarıdakileri yapmanıza rağmen beklenen sonuçlar gözlenemiyorsa, kontrolü aşağıdaki sırada yapmalısınız.
 - . Yanlış bağlantı
 - . Kopuk tel
 - . Elemanların bozuk olması
 - . Deney seti cihazlarının hatalı olması
 - . Ölçü aletinin hatalı olması (sigortası atık veya pili bitmiş)
 - . Osiloskop cihazının hatalı olması

İlk iki sorun size bağlı olup öncelikle kontrol edilmelidir.

Kopyalamayın!
©Dr. Tuncay UZUN

Kopyalamayın!
©Dr. Tuncay UZUN

Kopyalamayın!
©Dr. Tuncay UZUN

Kopyalamayın!
©Dr. Tuncay UZUN

Kopyalamayın!
©Dr. Tuncay UZUN

Kopyalamayın!
©Dr. Tuncay UZUN

DİJİTAL ELEKTRONİK LAB. DENEYLERİYLE İLGİLİ GENEL BİLGİLER ve UYARILAR

- 1- Deneylerde kullanılacak malzemeler daha önceden öğrenciye duyurulur.
- 2- Hangi öğrencinin hangi grupta, nerede, hangi deneyi ne zaman yapacağı öğrenciye önceden duyurulur.
- 3- Eğer varsa “Deneyden Önce Yapılacaklar “ bölümünde istenenler deneyden önce mutlaka yapılmalıdır.
- 4- Deney föyünün tamamı deneyden önce mutlaka anlayarak okunmalı, gerekirse ders notlarından da yararlanılmalıdır.
- 5- Deney föyündeki sorular deneyden önce mutlaka cevaplandırılmaya çalışılmalıdır.
- 6- Deney sırasında gruplar arasında bilgi veya malzeme alış verişi yasaktır.
- 7- Deney sırasında grup elemanlarının kendi aralarında “ALÇAK SESLE” konuşmaları verimli laboratuvar çalışması yapılabilmesi açısından zorunludur.
- 8- Deneyde yapılacaklardan herhangi biri bittiğinde görevliye gösterilip onay alınmalıdır.
- 9- Deneylerle ilgili sorular deney sırasında tartışılacak ve bir değerlendirme notu verilecektir.
- 10- Deney sırasında verilecek değerlendirme notlarının ortalaması yiliçi notu olacaktır.
- 11- Yönetmelik gereğince öğrenci deneylere %80 oranında devam etmek mecburiyetindedir. Devam her deneyde yoklama yapılarak saptanacaktır.
- 12- Öğrencinin gelmediği deneyden alacağı not sıfırdır.
- 13- Öğrencinin yalnızca bir deneyi telafi etme hakkı vardır.

DİJİTAL ELEKTRONİK DENEYLERİ İÇİN GEREKLİ MALZEMELER

DENEY 1		DENEY 2		DENEY 3		DENEY 4		DENEY 5	
Adı	Adedi	Adı	Adedi	Adı	Adedi	Adı	Adedi	Adı	Adedi
1N4148	1	1N4148	4	1N4148	1	27C128	1	CD4001	1
74LS04	1	BC140-6	3	BC140-6	5	74LS174	1	74LS123	1
220Ω	1	1.8kΩ	4	3.9kΩ	1	330Ω	4	74LS14	1
330Ω	1	270Ω	2	100Ω	2	LED	4	74C14	1
CD4049	1	1kΩ	3	1kΩ	1			1/10/100nF	3
		10kΩ	2	120Ω	1			1/10/100μF	3
		1.5kΩ	1	10Ω	1			330/470/680Ω	3
		100Ω	2	1.5kΩ	1			1k/10k/22k	3
								47k/100k/220k	3
								330k/1M	2

DENEYLERDE DİKKAT EDİLMESİ GEREKEN KONULAR

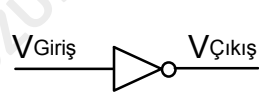
Deneye ilişkin devrelerin hatasız çalışmasına katkıda bulunmak için dikkat edilmesi gereken konular aşağıda sıralanmıştır. Bu konulara dikkat edilmesinin bedeli hatayı saptayıp düzeltmek için harcanan süredir.

- Deney tablalarının alt ve üstlerindeki yatay bağlantıları besleme ve toprak için kullanırsanız, devreyi kontrol etmeniz kolaylaşır.
- Bağlantı tellerinin uçlarındaki plastiği çok fazla sıyırmamalı. Aksi takdirde yan yana gelen tellerin uçları kısa devre olabilir.
- Bağlantı tellerini yuvalarına sokarken sıkı geçmeyi sağlamanız yeter. Fazla bastırılması telin ucunun katlanmasına, sonraki kullanımlarda ise kırılmasına neden olur.
- Bağlantı tellerini keskin bükmeyiniz, içten kırılıp devrenin normal çalışmasına engel olabilir.
- Bağlantı tellerinin uçlarının bükük değil, dosdoğru olmasına dikkat ediniz. Yuvalara sokma çıkarma işlemi kolaylaşır ve deney setinin ömrü uzar.
- Bütün yukarıdakileri yapmanıza rağmen beklenen sonuçlar gözlenemiyorsa, kontrolü aşağıdaki sırada yapmalısınız.
 - . Yanlış bağlantı
 - . Kopuk tel
 - . Elemanların bozuk olması
 - . Deney seti cihazlarının hatalı olması
 - . Ölçü aletinin hatalı olması (sigortası atık veya pili bitmiş)
 - . Osiloskop cihazının hatalı olması

İlk iki sorun size bağlı olup öncelikle kontrol edilmelidir.

DENEY 1: LOJİK KAPILARIN LOJİK GERİLİM SEVİYELERİ.**Genel Bilgiler:**

Bir giriş ve bir çıkışı en basit lojik kapı olan DEĞİL (NOT) kapısı çıkışında girişinin tümleyenini verir. Şekil 1-1 (a)'da DEĞİL kapısının lojik sembolü ve (b)'de ise doğruluk tablosu görülmektedir.



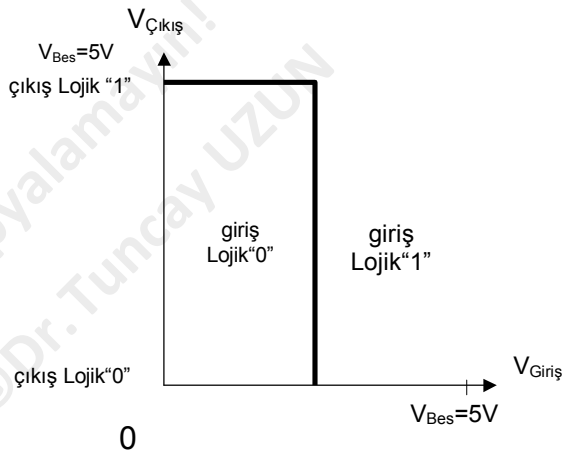
(a) lojik sembolü

$V_{Giriş}$	$V_{Cıkış}$
0	1
1	0

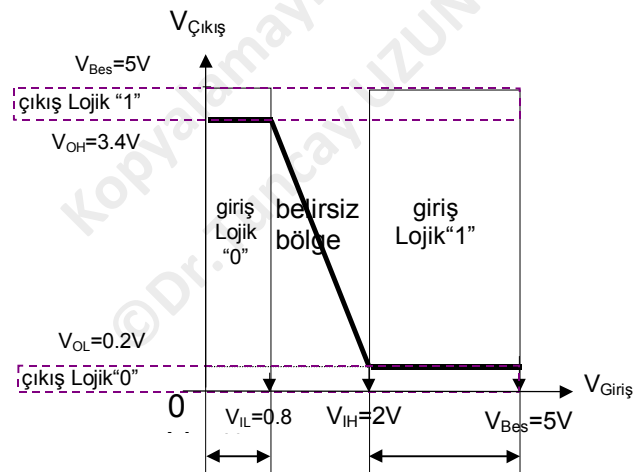
(b) doğruluk Tablosu

Şekil 1-1 DEĞİL lojik kapısı

Şekil 1-2 a' da görüldüğü gibi teorik olarak DEĞİL kapısının girişine lojik 0(1)' a karşı düşen gerilim uygulandığında, çıkışında lojik 1(0)' e karşı düşen bir gerilim gözlenir. Fakat pratikte kapı yapımında kullanılan teknolojiye bağlı olarak girişte ve çıkışta görülecek gerilim seviyeleri değişir. Örnek olarak TTL (Transistor Transistor Logic) teknolojisi ile yapılmış bir DEĞİL kapısı için gerilim seviyeleri Şekil 1-2 b'de gösterilmiştir.



(a) İdeal lojik gerilim seviyeleri



(b) Pratikteki lojik gerilim seviyeleri

Şekil 1-2 DEĞİL kapısının lojik gerilim seviyeleri

Buna göre kritik gerilim seviyeleri;

V_{IH} : Girişin lojik "1" algılanabilmesi için uygulanması gereken en küçük gerilim seviyesi,

V_{IL} : Girişin lojik "0" algılanabilmesi için uygulanması gereken en büyük gerilim seviyesi,

V_{OH} : Çıkışın lojik "1" olarak değerlendirilebilmesi için gözlenmesi gereken en küçük gerilim,

V_{OL} : Çıkışın lojik "0" olarak değerlendirilebilmesi için gözlenmesi gereken en büyük gerilim seviyesidir.

$(V_{IH} - V_{IL})$, $(V_{OH} - V_{OL})$ gerilim aralıkları sırasıyla girişler ve çıkışlar için belirsiz olan aralıklardır. .

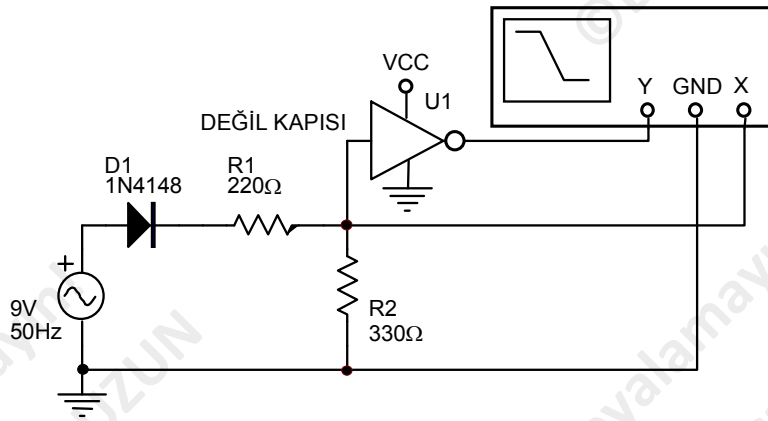
Şekil 1-2 a' da görüldüğü gibi ideal halde girişin lojik 0 ve lojik 1 değerine belli bir gerilim aralığı karşı gelmesine rağmen, çıkışın lojik 0 ve lojik1 değerini sabit gerilim değerleri oluşturmaktadır.

CMOS teknolojisiyle üretilmiş bir DEĞİL kapısında da giriş ile çıkış arasında, TTL teknolojisiyle üretilmiş DEĞİL kapısına benzer bir ilişki vardır. Ancak en önemli farklılık CMOS teknolojisiyle üretilmiş tümleşik devrenin besleme geriliminin 3-18V arasında değişebilmesidir. Bu deneyde CMOS tümleşik devreler için besleme gerilimi 5V alınacaktır.

Deney Öncesi Yapılacaklar :

TTL DEĞİL (NOT kapısı, 74LS04) ve CMOS DEĞİL (NOT kapısı, 4049) tümleşik devreleri için katalogta verilen parametrelerin tanımlarını ve bu parametrelere ilişkin tablolardaki sınır değerleri inceleyiniz.

Deneyde Yapılacak İşlemler :



Şekil 1-3 Lojik gerilim seviyelerini belirlemek için kurulacak devre.

- Yukarıda açıklanan parametreleri 7404 DEĞİL tümleşik devresi için gözlemek amacıyla Şekil 1-3' deki devreyi deney düzeneğiniz üzerinde kurunuz.
 - DEĞİL tümleşik devresinin 5V besleme ve toprak bağlantılarını yapınız.
 - 74LS04 lojik tümleşik devresine negatif gerilim uygulanmasını önlemek için osilatörden veya transformatörden gelen tepe değeri 9V olan sinüs işareti bir diyottan geçirilir. yalnız pozitif yarım alternansı elde edilir.
 - R1 ve R2 dirençleri DEĞİL kapısının girişinde 0-5V gerilim değişimini elde etmek için gerilim bölücü olarak kullanılırlar.
 - Netice olarak Şekil 1-3' de kesikli çizgilerle belirtilen devre, Şekil 1-2 b 'de verilen grafiğin yatay eksenindeki, 0 ile +5V DC değerleri arasında değişen gerilim değerlerini, DEĞİL kapısının girişine uygulanmasını sağlar.
 - DEĞİL elemanının giriş gerilimi aynı zamanda osiloskop ekranında görülmesi için osiloskopun X girişine uygulanır. (Osiloskop bağlantıları BNC ile yapınız)
 - DEĞİL elemanının girişine uygulanan gerilim ile değişen çıkış işareti ise, osiloskopun Y girişine uygulanır. (Osiloskop bağlantıları BNC ile yapınız)
 - Böylece osiloskop X-Y modunda çalıştırıldığında ekranda DEĞİL kapısının girişi ile çıkışı arasında Şekil 1-2 b' ye benzer bir karakteristik gözlenir.
- Osiloskop ekranındaki eğri üzerinden lojik gerilim seviyelerini ayrı ayrı belirleyiniz. (V_{IL} , V_{IH} , V_{OL} , V_{OH})
Osiloskopun gerilim seviyesine ilişkin "variable" düğmesini kapatınız. Aksi takdirde yanlış gerilimler ölçersiniz.
- Şekil 1-3 'deki devreyi 4049 CMOS DEĞİL tümleşik devresi için kurup 2.adımı tekrarlayınız.(DEĞİL: Besleme gerilimi 5V alınacaktır.)

- 4- TTL AND ve CMOS XOR lojik kapılarının girişlerine, kritik gerilim seviyelerine uygun değerler (Lojik 0 girişi için $V \leq V_{IL}$, lojik 1 girişi için $V \geq V_{IH}$) uygulayarak çıkışlarını gözleyiniz ve doğruluk tablolarını elde ediniz.

Sorular

- 1- Deneyde kullanılan TTL ve CMOS teknolojisi ile üretilen lojik tümleşik devrelerde besleme gerilimi sınırları nelerdir? (Katalog bilgisine başvurunuz)
- 2- TTL teknolojisiyle üretilmiş DEĞİL kapısının gecikme süresi değerini katalogdan bulunuz. Bu kapının bulunduğu bir devrenin hızının en fazla ne olabileceğini belirtiniz. Bu hız pratikte **çalışma frekansı** olarak adlandırılır. (İp ucu: Gecikme süresi kadar olan zaman aralığında girişin değişmemesi gerekir ki kapı o giriş değerine ilişkin çıkışı verebilsin. Aksi takdirde uygulanan girişe ilişkin çıkış daha çıkışa aksetmeden yeni girişe göre çıkış belirlenmeye başlar.)
- 3- CMOS DEĞİL tümleşik devresi (4049) için kapı gecikmesi değerlerini farklı besleme değerleri için saptayınız. Buna göre böyle bir elemanın bulunduğu devrenin çalışma frekansı besleme gerilimine bağlı olarak en fazla ne olabilir ?
- 4- 2. ve 3. soruların cevapları ışığında TTL ve CMOS teknolojilerini çalışma frekansı açısından karşılaştırınız.
- 5- Aynı devrede farklı teknolojiyle üretilmiş lojik kapıların kullanılması çalışma frekansını nasıl etkiler? Açıklayınız.
- 6- 7404 tümleşik devresi için elde ettiğiniz değerleri ekte verilen katalog bilgilerinden yararlanıp, TTL teknolojisiyle üretilmiş farklı ürünlerle karşılaştırınız.(7404, 74S04 (**S**:Schottky,**LS**:Low Power Schottky) gibi...)
- 7- 4049 CMOS tümleşik devresi için benzer işlemi tekrarlayınız.
- 8- TTL iki girişli AND ,OR ve EXOR kapılarının gecikme sürelerini karşılaştırınız.
- 9- CMOS iki girişli AND ,OR ve EXOR kapılarının gecikme sürelerini karşılaştırınız.

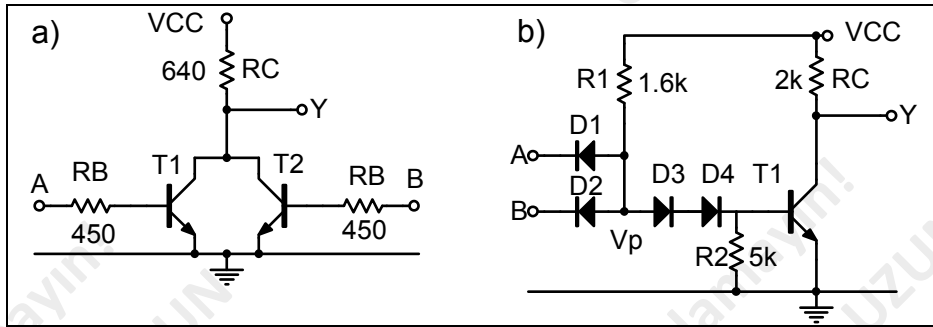
Malzeme listesi:

- 1 adet 1N4148 diyot
- 1 adet 74LS04 TTL DEĞİL sayısal kapı tümleşik devresi
- 1 adet 4049 CMOS DEĞİL sayısal kapı tümleşik devresi
- 1 adet 220Ω direnç
- 1 adet 330Ω direnç

DENEY 2: DİRENÇ TRANSİTÖR LOJİK (RTL), DİYOT TRANSİTÖR LOJİK (DTL) KAPILAR

Genel Bilgiler:

Tümleşik devrelerin kullanımı yaygınlaşmadan önce kullanılan RTL VEYA DEĞİL (NOR) ve DTL VE DEĞİL (NAND) lojik kapılarının iç yapıları, Şekil 2-1 a ve b'de verilmiştir. Sayısal kapı devreleri, ilk uygulamalarda ayırık elemanlar kullanılarak gerçekleştirilmiştir. Bununla birlikte tümleşik devre üretim teknolojisi kullanılmaya başlandığında DTL sayısal kapıları tümleşik olarak gerçekleştirilerek kullanılmıştır. Bugün çok değişik işlev ve yapısal özelliklerde sayısal kapı tümleşik devreleri bulunmaktadır. İleri teknoloji ürünü olan bu yapıların içinde kullanılan elektronik eleman ve devreler hakkında verilen bilgileri anlamak ve kullanmak için burada anlatılan sayısal kapı devrelerinin işlev ve yapısal özelliklerini anlamak önemlidir.

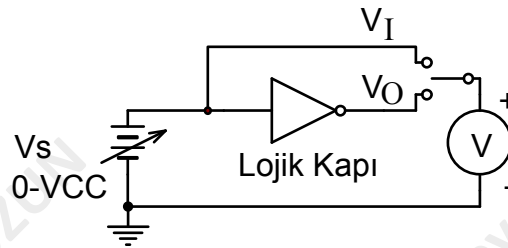


Şekil 2-1 a)RTL NOR b)DTL NAND lojik kapıları

Deney Öncesi Yapılacaklar :

Verilen transistör ve diyot parametrelerini ($V_{CEsat}=0.2V$, $V_{BEsat}=0.8V$, $V_{BEON}=0.7V$, $V_{\gamma}=0.6V$, $V_{DON}=0.7V$, $\beta_F=40$, $\beta_R=1$) kullanarak Şekil 2-1' de görülen sayısal kapı devrelerinin teorik olarak analizini yaparak giriş ve çıkış lojik gerilim seviyelerini hesaplayınız.

Deneyde Yapılacak İşlemler :



Şekil 2-2

- Lojik gerilim seviyelerini belirlemek için Şekil 2-2' deki devreyi,
 - RTL NOR
 - DTL NAND
 kapısı için deney düzeneğiniz üzerinde kurunuz.
- Sayısal kapı devresinin VCC besleme uç bağlantılarını
 - RTL kapısı için $VCC=+3.6V$ ve $GND=0V$
 - DTL kapısı için $VCC=+9V$ ve $GND=0V$
 olarak yapınız.
- Tablo 2-1'deki ilk dört satırı,
 - RTL NOR

b) DTL NAND

sayısal kapısı için devre üzerinden ölçerek doldurunuz.

Tablo 2-1a

V_I	V_O	V_{B1}	I_I
0V			
1V			
2V			
3V			
V_{IL}			
V_{IH}			

Tablo 2-1b

V_I	V_O	V_P	V_{B1}	I_I
0V				
2V				
4V				
8V				
V_{IL}				
V_{IH}				

4. Tablodaki değerlerden yararlanarak giriş ve çıkış lojik gerilim seviyelerini ve gürültü sınırlarını ayrı ayrı belirleyiniz. ($V_{IL}, V_{IH}, V_{OL}, V_{OH}$)
5. Tablo 2-1'deki ilk dört satırdaki değerlere bakarak kırılma noktalarının hangi aralıkta olduğunu belirleyiniz. Bu bölge içinde daha küçük adımlarla hassas ölçüm yaparak giriş ve çıkış lojik gerilim seviyelerini yeniden ayrı ayrı belirleyiniz ($V_{IL}, V_{IH}, V_{OL}, V_{OH}$). Bulduğunuz değerler için tablonun son iki satırını doldurunuz.
6. Gürültü sınırlarını (NM_H, NM_L) yeni değerler ile hesaplayınız.
7. Bulduğunuz değerlerden yararlanarak düşük seviye çıkış yelpazesini hesaplayınız.

Sorular

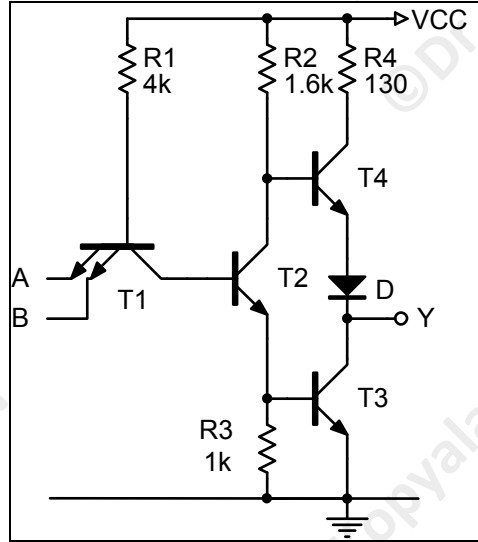
- 1- Deneyde bulduğunuz transistor parametreleri ile hesaplamalarda kullanılan değerleri karşılaştırarak yorumlayınız?
- 2- Birinci deneyde TTL tümeleşik devreler için bulduğunuz lojik gerilim seviyelerini bu deneyde bulduğunuz değerler ile karşılaştırarak yorumlayınız?
- 3- Bu deneyde kullandığınız kapı devresinin çıkışından alınabilecek akımları (I_{sink}, I_{source}) belirleyiniz ve yorumlayınız?
- 4- Kapı girişine bir direnç bağlanarak, girişin düşük veya yüksek seviyeye çekilmesi için kullanılacak direncin değerini hesaplayınız?
- 5- Girişin lojik gerilim seviyelerinin besleme gerilimi değişimine bağımlılığını yorumlayınız?
- 6- Kapı çıkışına bir direnç bağlandığında, çıkışın düşük veya yüksek seviyede bir yük direnci ile yüklenmesi durumu için direncin değerini hesaplayınız?
- 7- Çıkışın lojik gerilim seviyelerinin besleme gerilimi değişimine bağımlılığını yorumlayınız?

Malzeme listesi:

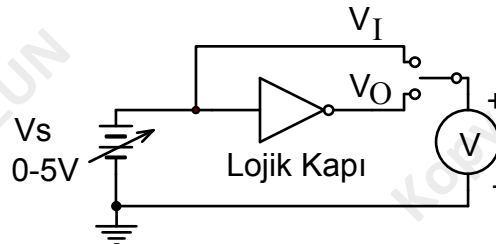
- 4 adet 1N4148 diyot
- 3 adet NPN transistör (BC140-6 veya BC141-6 düşük betalı transistör)
- 1 adet 450 Ω direnç (4 tane 1.8k Ω direnci paralel bağla)
- 1 adet 640 Ω direnç (270+270+100)
- 1 adet 2k Ω direnç (1k+1k)
- 1 adet 5k Ω direnç (2 tane 10k direnci paralel bağla)
- 1 adet 1k Ω direnç
- 1 adet 1.6k Ω direnç (1.5k+100)

DENEY 3: TOTEMPOLE ÇIKIŞLI TRANSİSTOR TRANSİSTOR LOJİK (TTL) KAPILAR**Genel Bilgiler:**

TTL sayısal kapı tümleşik devreleri en çok kullanılan sayısal kapı ailelerinden birisidir. Bugün ileri teknoloji kullanılarak, giriş ve çıkış lojik gerilim seviyeleri TTL ile uyumlu olan, aynı işlevi yerine getiren fakat değişik elektronik devre elemanları ve modelleri kullanılarak üretilmiş sayısal kapı tümleşik devreleri vardır. TTL ailesinde, iç yapı biçiminin değişikliğine dayanan bir çok grup (L, LS, S vb.) vardır. Bu gruplarda kullanılan çıkış biçimi totempole olan standart TTL VE DEĞİL (NAND) sayısal kapısının iç yapısı Şekil 3-1 'de verilmiştir.

**Şekil 3-1** TTL NAND lojik kapısı**Deney Öncesi Yapılacaklar :**

Verilen transistör ve diyot parametrelerini ($V_{CEsat}=0.2V$, $V_{BEsat}=0.8V$, $V_{BEON}=0.7V$, $V_{\gamma}=0.6V$, $V_{DON}=0.7V$, $\beta_F=40$, $\beta_R=1$) kullanarak Şekil 3-1' de görülen sayısal kapı devresinin teorik olarak analizini yaparak giriş ve çıkış lojik gerilim seviyelerini hesaplayınız.

Deneyde Yapılacak İşlemler :**Şekil 3-2**

1. Lojik gerilim seviyelerini belirlemek için Şekil 3-2' deki devreyi TTL NAND kapısı için deney düzeneğiniz üzerinde kurunuz.
2. Devrenin VCC beslemesinin uç bağlantılarını TTL NAND kapısı için $VCC=+5V$ ve $GND= 0V$ olarak yapınız.
3. Tablo 3-1'deki ilk dört satırı, TTL NAND sayısal kapısı için devre üzerinden ölçerek doldurunuz.

Tablo 3-1

V_I	V_O	VB1	VB2	VB3	VB4	I_I
0V						
1V						
2V						
3V						
V_{IL}						
V_{IH}						

4. Tablodaki değerlerden yararlanarak giriş ve çıkış lojik gerilim seviyelerini ve gürültü sınırlarını ayrı ayrı belirleyiniz. ($V_{IL}, V_{IH}, V_{OL}, V_{OH}$)
5. Tablo 3-1'deki ilk dört satırdaki değerlere bakarak kırılma noktalarının hangi aralıkta olduğunu belirleyiniz. Bu bölge içinde daha küçük adımlarla hassas ölçüm yaparak giriş ve çıkış lojik gerilim seviyelerini yeniden ayrı ayrı belirleyiniz ($V_{IL}, V_{IH}, V_{OL}, V_{OH}$). Bulduğunuz değerler için tablonun son iki satırını doldurunuz.
6. Gürültü sınırlarını (NM_H, NM_L) yeni değerler ile hesaplayınız.
7. Bulduğunuz değerlerden yararlanarak düşük seviye çıkış yelpazesini hesaplayınız.

Sorular

- 1- Deneyde bulduğunuz transistör parametreleri ile hesaplamalarda kullanılan değerleri karşılaştırarak yorumlayınız?
- 2- Birinci deneyde TTL tümleşik devreler için bulduğunuz lojik gerilim seviyelerini bu deneyde bulduğunuz değerler ile karşılaştırarak yorumlayınız?
- 3- Bu deneyde kullandığınız kapı devresinin çıkışından alınabilecek akımları (I_{sink}, I_{source}) belirleyiniz ve yorumlayınız?
- 4- Kapı girişine bir direnç bağlanarak, girişin düşük veya yüksek seviyeye çekilmesi için kullanılacak direncin değerini hesaplayınız?
- 5- Girişin lojik gerilim seviyelerinin besleme gerilimi değişimine bağımlılığını yorumlayınız?
- 6- Kapı çıkışına bir direnç bağlandığında, çıkışın düşük veya yüksek seviyede bir yük direnci ile yüklenmesi durumu için direncin değerini hesaplayınız?
- 7- Çıkışın lojik gerilim seviyelerinin besleme gerilimi değişimine bağımlılığını yorumlayınız?

Malzeme listesi:

- 1 adet 1N4148 diyot
- 5 adet NPN transistör (BC140-6 veya BC141-6 düşük betalı transistör)
- 1 adet $4k\Omega$ direnç ($3.9k+100$)
- 1 adet $1k\Omega$ direnç
- 1 adet $1.6k\Omega$ direnç ($1.5k+100$)
- 1 adet 130Ω direnç ($120+10$)

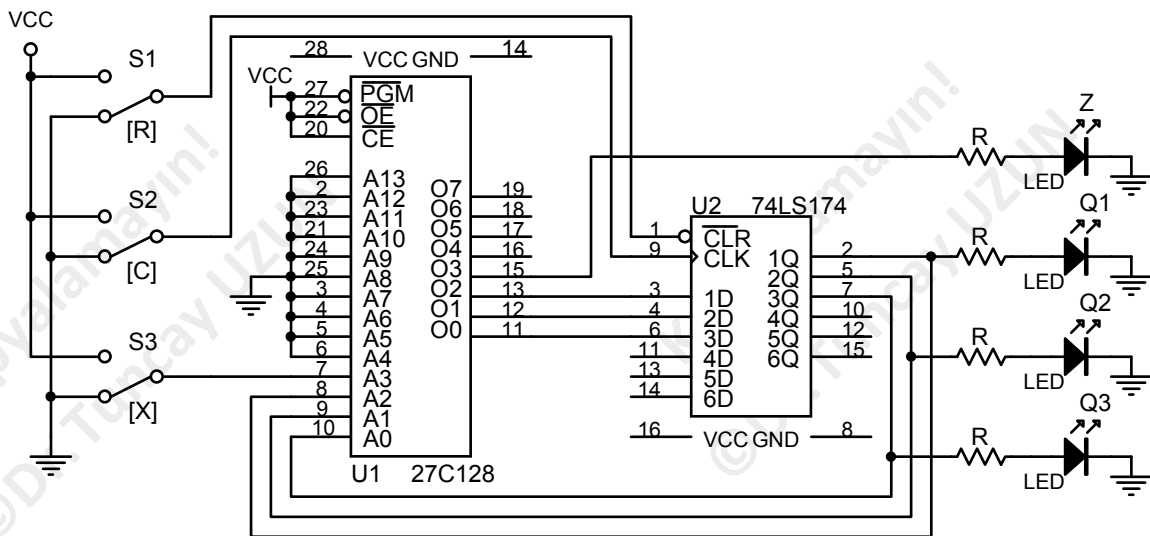
DENEY 4: BELLEK KULLANARAK ARDIŞIL DEVRE TASARIMI**Genel Bilgiler:**

Dijital elektronik devre elemanlarından FF (Flip-Flop) ve ROM (EPROM : Ultraviyole ile silinip, tekrar yazılabilen yalnız okunur bellek) elemanlarını kullanarak ardışıl lojik devre tasarımı ve gerçekleştirilmesi yapılacaktır.

Bu deneyde BCD (Binary Coded Decimal) kodundan 3-fazla koduna dönüştürücü tasarımı ve gerçekleştirilmesi yapılacaktır. Kod dönüştürücünün giriş ve çıkış biçimi, düşük ağırlıklı biti önce gelen, seri veri biçiminde olacaktır. Devre her seri veri girişi yapılmadan önce resetlenecektir. X seri veri girişi uygulandıktan sonra Z çıkışının durumuna bakılacak ve saat girişine darbe uygulandığında seri veri çıkışı elde edilecektir. Önce t_0 anında X girişinin en düşük ağırlıklı biti uygulanacak, sonra sırasıyla t_1 , t_2 ve t_3 anında diğer giriş bitleri uygulanacaktır. Bu arada her X girişi uygulandıktan sonra Z çıkışına bakılacak ve saat darbesi uygulanarak bir sonraki seri veri girilecektir. Kod dönüştürücünün giriş ve çıkış verilerini gösteren doğruluk tablosu Tablo 4-1'de verilmiştir.

Tablo 4-1

X Giriş (BCD)				Z Çıkış (3-fazla)			
t_3	t_2	t_1	t_0	t_3	t_2	t_1	t_0
0	0	0	0	0	0	1	1
0	0	0	1	0	1	0	0
0	0	1	0	0	1	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	1	1
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0

**Şekil 4-1**

Şekil 4-1'de ROM ve D FF kullanılarak gerçekleştirilmiş seri giriş/çıkışlı BCD 'den 3-fazlaya kod dönüştürücünün lojik devre şeması verilmiştir. Bu şemada R,C,X giriş verileri sırasıyla RESET, SAAT ve X girişidir. Q çıkışları FF ve Z çıkışı seri veri çıkışıdır. Tablo 4-2 'de

doğruluk tablosu ve Tablo 4-3 'de ise devredeki D flip-floplar için durum geçiş tablosu görülmektedir.

Tablo 4-2

Zaman	X Giriş Sırası	Şimdiki durum Q ₁ Q ₂ Q ₃	Gelecek GİRİŞ Q ₁ ⁺ Q ₂ ⁺ Q ₃ ⁺		Şimdiki ÇIKIŞ Z	
			X=0	X=1	X=0	X=1
t ₀	Reset	0 0 0	010	011	1	0
t ₁	0,1	0 1 0	101	100	1	0
		0 1 1	100	100	0	1
t ₂	00,01,10,11	1 0 1	111	111	0	1
		1 0 0	111	110	1	0
t ₃	000, ... , 111	1 1 1	000	000	0	1
		1 1 0	000	---	1	-

Tablo 4-3

X	Q ₁	Q ₂	Q ₃	Z	D ₁	D ₂	D ₃
0	0	0	0	1	0	0	1
0	0	0	1	1	0	1	1
0	0	1	0	0	1	0	0
0	0	1	1	0	1	0	1
0	1	0	0	1	1	0	1
0	1	0	1	0	0	0	0
0	1	1	0	1	0	0	0
0	1	1	1	x	x	x	x
1	0	0	0	0	0	1	0
1	0	0	1	0	1	0	0
1	0	1	0	1	1	0	0
1	0	1	1	1	1	0	1
1	1	0	0	0	1	1	0
1	1	0	1	1	0	0	0
1	1	1	0	x	x	x	x
1	1	1	1	x	x	x	x

Deney Öncesi Yapılacaklar :

- 1- Tablo 4-2 ve Tablo 4-3 'den yararlanarak Şekil 4-1'deki devrede kullanılan ROM elemanın adres/veri tablosunu çıkarınız.
- 2- Devrenin analizini, bir elektronik devre analiz yazılımının yardımıyla 3 değişik seri giriş verisi için yaparak kod dönüştürücünün fonksiyonunu yerine getirdiğini belirleyiniz.

Deneyde Yapılacak İşlemler :

- 1- EPROM tümleşik devresinin içine deney öncesinde bulduğunuz verileri bulunması gereken adreslere EPROM programlayıcı cihazını kullanarak yazınız.
- 2- Girişleri uygulamak ve çıkışları gözlemek amacıyla Şekil 4-1'deki devreyi deney düzeneğiniz üzerinde kurunuz.

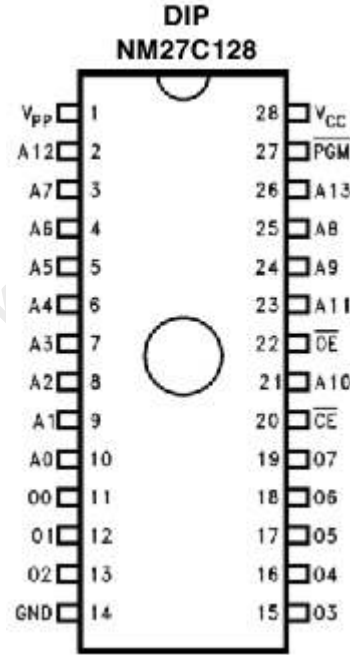
- 3- Bu devreyi kontrol ederken Tablo 4-2 'den yararlanabilirsiniz. Bunun için önce (R) anahtarı ile devreyi resetleyiniz ve D FF çıkış uçlarını tablodaki birinci satıra karşılık düşen "000" adresine set ediniz.
- 4- Tablodan seçtiğiniz duruma ait X girişini (X) anahtarı ile "0" olarak uyguladıktan sonra (C) anahtarı ile saat işaretini uygulayınız.
- 5- FF çıkışları ve Z çıkışını gözleyerek tablodaki olması gereken ile karşılaştırınız.
- 6- Aynı şekilde, deney öncesi yapılacaklar kısmında seçtiğiniz 3 değişik durum için yukarıdaki işlemleri tekrarlayarak sonuçları gösteriniz.

Sorular

- 1- ROM ve D FF ile yalnız kapı ve JK-FF kullanarak gerçekleştirmenin avantaj ve dezavantajları nelerdir?
- 2- ROM ve D FF ile yalnız kapı ve JK-FF kullanarak gerçekleştirmeyi maliyet, çalışma hızı, tasarım gücü üzerine karşılaştırarak sonuçları yorumlayınız.

Malzeme listesi:

- 1 adet 74LS174
- 1 adet 27C128 EPROM (Bölüm tarafından sağlanacaktır.)



DENEY 5: ZAMANLAMA DEVRELERİ**Genel Bilgiler:**

Sayısal elektronik sistemlerde kullanılan lojik işaretlerin, bazı durumlarda zaman ekseninde şekillendirilmesi gerekebilir. Bu işlem için kullanılan devrelere zamanlama devresi adı verilir. Bunlar aşağıda verilen üç gruptan biri biçiminde olabilir:

- 1- İki kararlı (Bistable, FF) ikili devreler.
- 2- Tek kararlı (Monostable, MMV) ikili devreler.
- 3- Kararsız (Astable, AMV) ikili devreler.

İki kararlı ikili devreler, daha önce lojik devreler dersinde anlatılan FF olarak adlandırılan devrelerdir.

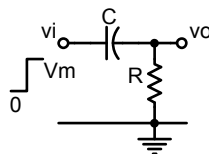
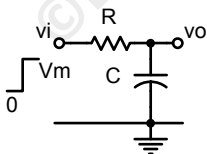
Tek kararlı ikili devreler ise girişine darbe uygulanmasıyla kararlı konumundan ayrılarak süresi ve biçimi tasarlanan devre tarafından belirlenmiş bir darbe çıkışı veren ve tekrar kararlı konumuna geri dönen devrelerdir. Bu devreler tek atışlı (one-shot) devre olarak da adlandırılır.

Kararsız ikili devreler ise adından anlaşılacağı üzere, herhangi bir giriş darbesi uygulanmadan iki konum arasında sürekli konum değiştiren, periyodu ve biçimi tasarlanan devre tarafından belirlenmiş darbe dizisi üreten devrelerdir. Bu devreler kare dalga üretici olarak da adlandırılır.

Tek kararlı ve kararsız ikili devrelerde, çıkışın süresi ve biçimi devre içinde kullanılan RC elemanları ile hesaplanarak belirlenir. En çok kullanılan temel devreler Şekil 5-1'de verilmiştir.

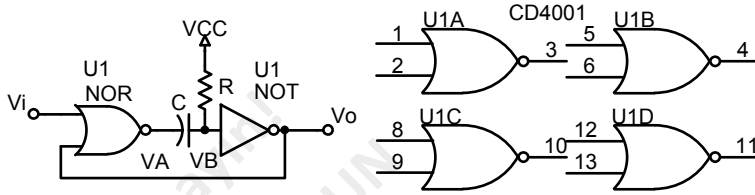
Deney Öncesi Yapılacaklar :

- 1- Tek kararlı ve kararsız ikili devrelerin uygulama alanlarını araştırınız.
- 2- Alçak geçiren filtre yapısındaki RC devrenin davranışlarını girişine darbe uygulanması durumunda çıkış ifadesini bularak inceleyiniz.
- 3- Yüksek geçiren filtre yapısındaki RC devrenin davranışlarını girişine darbe uygulanması durumunda çıkış ifadesini bularak inceleyiniz.



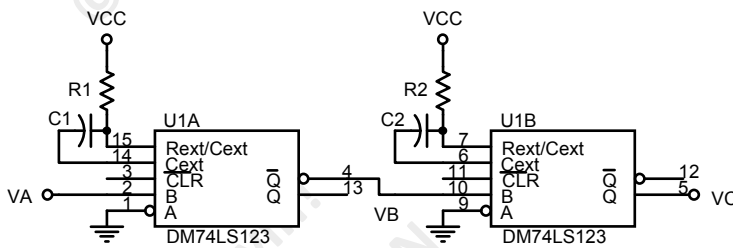
Şekil 5-1 a) alçak geçiren, **b)** yüksek geçiren, RC devreleri

- 4- Şekil 5-2'de verilen tek kararlı ikili devrenin, çalışma prensibini düşünerek düğüm noktalarındaki dalga şekillerini zaman ekseninde alt alta çiziniz. Bu devrenin çıkışındaki darbenin süresini veren ifadeyi bulunuz.
- 5- Şekil 5-3'de verilen devrede kullanılan tümleşik tek kararlı ikili devrenin, çalışma tablosunu katalogdan bakarak bulunuz. Bu devrenin çalışmasını VA, VB ve VC dalga şekillerini belirleyerek açıklayınız. Tümleşik MMV devresi tekrar tetiklenebilen tür olarak adlandırılmasının nedenini araştırınız.
- 6- 74LS14 tümleşik devresinin karakteristik özelliklerini katalogdan bakarak bulunuz.
- 7- Şekil 5-4'de verilen kararsız ikili devrenin, çalışma prensibini düşünerek düğüm noktalarındaki dalga şekillerini zaman ekseninde alt alta çiziniz. Bu devrenin çıkışındaki darbenin süresini veren ifadeyi bulunuz.

Deneyde Yapılacak İşlemler :

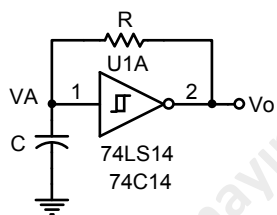
Şekil 5-2 CMOS NOR kapılarıyla oluşturulmuş tek kararlı ikili devre
 $R=10k\Omega$, $C=1nF$

- 1- Girişleri uygulamak ve çıkışları gözlemek amacıyla Şekil 5-2'deki devreyi deney düzeneğiniz üzerinde kurunuz. V_i , V_A , V_B ve V_o düğüm gerilimlerinin dalga şekillerini ölçerek zaman ekseninde alt alta çiziniz. Deney öncesi hazırlıklarda elde ettiğiniz sonuçları ölçtüğünüz dalga şekilleri ile karşılaştırınız.



Şekil 5-3 İki tane tek kararlı ikili kullanarak darbe gecikmesi ve süresini ayarlayan devre.
 $R1=R2=22k\Omega$, $C1=10nF$, $C2=33nF$.

- 2- Girişleri uygulamak ve çıkışları gözlemek amacıyla Şekil 5-3'deki devreyi deney düzeneğiniz üzerinde kurunuz. V_A , V_B ve V_C düğüm gerilimlerinin dalga şekillerini ölçerek zaman ekseninde alt alta çiziniz. Deney öncesi hazırlıklarda elde ettiğiniz sonuçları ölçtüğünüz dalga şekilleri ile karşılaştırınız.
- 3- Aynı devrenin girişine uyguladığınız darbenin genişliğini çıkış darbesinin genişliğinden küçük fakat daha yüksek frekansta uygulayınız. Çıkışı giriş ile birlikte gözlemleyerek yorumlayınız.



Şekil 5-4. Kararsız ikili devre.

74LS14 için $R=470\Omega$, $C=10nF$
 74C14 için $R=100k\Omega$, $C=10\mu F$

- 4- Girişleri uygulamak ve çıkışları gözlemek amacıyla Şekil 5-4 'deki devreyi LS TTL ve CMOS tümeleşik devreler için deney düzeneğiniz üzerinde ayrı ayrı kurunuz. V_A ve V_o düğüm gerilimlerinin dalga şekillerini ölçerek zaman ekseninde alt alta çiziniz. Deney öncesi hazırlıklarda elde ettiğiniz sonuçları ölçtüğünüz dalga şekilleri ile karşılaştırınız.
- 5- Aynı devrelerde farklı R ve C değerleri için çıkış dalgasının biçim ve frekansını birlikte gözlemleyerek yorumlayınız.

Sorular

- 1- Tek kararlı ikili devreleri kapı veya tümleşik devre ile gerçekleştirmenin avantaj ve dezavantajları nelerdir?
- 2- Her iki gerçeklemeyi maliyet, çalışma hızı, tasarım güçlüğü üzerine karşılaştırarak sonuçları yorumlayınız.
- 3- Giriş ve çıkış darbe biçimine bağlı olarak kaç değişik tek kararlı ikili tasarlanabilir?
- 4- Tekrar tetiklenebilen tek kararlı ikilinin çalışmasını, uygun giriş ve çıkış darbesini zaman ekseninde alt alta çizerek açıklayınız.
- 5- Deneyde kullanılan kararsız ikili devrenin avantaj ve dezavantajları nelerdir?
- 6- Deneyde kullanılan LS TTL ve CMOS tümleşik devreler için R ve C eleman değerlerinin sınırlarını deneyde bulduğunuz değerlere bakarak yorumlayınız?

Malzeme listesi:

- 1 adet CD4001 CMOS NOR kapısı.
- 1 adet 74LS123 LS TTL tümleşik MMV devresi.
- 1 adet 74LS14 LS TTL tümleşik NOT (schmitt trigger) devresi.
- 1 adet 74C14 CMOS tümleşik NOT (schmitt trigger) devresi. (veya 40106)
- deneyde kullanılan değerlerde R ve C elemanları.
- değişik değerlerde R ve C elemanları.
 - 1nF/10nF/100nF/1uF/10uF
 - 330/470/680/1k/10k/22k/47k/100k/220k/330k/1M